

⑫ 公開特許公報 (A) 平4-98937

⑮ Int. Cl.⁵
H 04 L 12/48識別記号
7830-5K

庁内整理番号

H 04 L 11/20

⑯ 公開 平成4年(1992)3月31日

Z

審査請求 未請求 請求項の数 14 (全9頁)

⑭ 発明の名称 ATMスイッチおよびその制御方法

⑫ 特 願 平2-215703

⑫ 出 願 平2(1990)8月17日

⑬ 発明者 中野 幸男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑬ 発明者 小崎 尚彦 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑬ 発明者 郷原 忍 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

⑬ 発明者 芦 賢浩 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

⑭ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑮ 代理人 弁理士 小川 勝男 外1名

明細書

1. 発明の名称

ATMスイッチおよびその制御方法

2. 特許請求の範囲

1. ATMセルをN個 (Nは2以上の整数) の部分セルに分割し各部分セルに同一のルーティングタグを付与するセル分割回路と、該N個の部分セルを前記ルーティングタグに基づき各々独立にルーティングするN個の部分セルスイッチとからなるATMスイッチ。

2. ATMセルに該ATMセルを情報記号とするエラー訂正符号の検査記号を付加するエラー訂正符号の符号化回路と、該検査記号を付加したATMセルの情報部をN個の部分セルに分割し検査記号部をM個の部分セルに分割し各部分セルに同一のルーティングタグを付与するセル分割回路と、該(N+M)個の部分セルを前記ルーティングタグに基づき各々独立にルーティングする(N+M)個の部分セルスイッチと、ルーティング後の該(N+M)個の部分セルを受信しエラ

ー訂正を行なうエラー訂正符号の復号回路とかなるATMスイッチ。

3. ATMセルの情報部のN個の部分セルと検査記号部のM個の部分セルはすべて同一のビット数を持つ請求項第2項のATMスイッチ。

4. 部分セルがbビットの大きさである場合に、エラー訂正符号はj=(b/m)ビット (mはbの約数) を1シンボルとしてシンボル単位のエラー訂正を行う符号である請求項第2~3項記載のいずれかのATMスイッチ。

5. j=(b/m)ビットを1シンボルとしてシンボル単位のエラー訂正を行う符号は、ガロア体GF(2^m)の上の符号である請求項第4項のATMスイッチ。

6. 前記ガロア体GF(2^m)の上の符号はリード・ソロモン符号である請求項第5項のATMスイッチ。

7. 前記リード・ソロモン符号は1シンボルエラーディクション符号である請求項第6項のATMスイッチ。

8. ATMセルに該ATMセルを情報記号とするエラー検出符号の検査記号を付加するエラー検出符号の符号化回路と、該検査記号を付加したATMセルの情報部をN個の部分セルに分割し検査記号部をM個の部分セルに分割し各部分セルに同一のルーティングタグを付与するセル分割回路と、該(N+M)個の部分セルを前記ルーティングタグに基づき各々独立にルーティングする(N+M)個の部分セルスイッチと、ルーティング後の該(N+M)個の部分セルを受信しエラー検出を行なうエラー検出回路とからなるATMスイッチ。

9. 前記エラー検出符号はバリティチェック符号である請求項第8項のATMスイッチ。

10. ATMセルの情報部のN個の部分セルと検査記号部のM個の部分セルはすべて同一のビット数を持つ請求項第8~9項のいずれかのATMスイッチ。

11. ATMセルをN個の部分セルに分割し各部分セルに同一のルーティングタグを付与するセル分

割回路と、該N個の部分セルに同一の符号を付与する回路と、該N個の部分セルを前記ルーティングタグに基づき各々独立にルーティングするN個のスイッチと、ルーティング後の該M個の部分セルを受信し前記符号の一一致を検出する一致検出回路とからなるATMスイッチ。

12. ATMセルに該ATMセルを情報記号とするエラー訂正符号の検査記号を付加するエラー訂正符号の符号化回路と、該検査記号を付加したATMセルの情報部をN個の部分セルに分割し検査記号部をM個の部分セルに分割し各部分セルに同一のルーティングタグを付与するセル分割回路と、該(N+M)個の部分セルを前記ルーティングタグに基づき各々独立にルーティングする(N+M)個の部分セルスイッチと、ルーティング後の該(N+M)個の部分セルを受信しエラー訂正を行なうエラー訂正符号の復号回路とからなるATMスイッチの制御方法であって、前記エラー訂正符号の復号回路において、特定頻度以上の頻度でエラーの訂正または検出が行な

われた場合に前記(N+M)個のスイッチをリセットする

ATMスイッチ制御方法。

13. ATMセルに該ATMセルを情報記号とするエラー検出符号の検査記号を付加するエラー検出符号の符号化回路と、該検査記号を付加したATMセルの情報部をN個の部分セルに分割し検査記号部をM個の部分セルに分割し各部分セルに同一のルーティングタグを付与するセル分割回路と、該(N+M)個の部分セルを前記ルーティングタグに基づき各々独立にルーティングする(N+M)個の部分セルスイッチと、ルーティング後の該(N+M)個の部分セルを受信しエラー検出を行なうエラー検出回路とからなるATMスイッチの制御方法であって、前記エラー検出回路において、特定頻度以上の頻度でエラーの検出が行なわれた場合に前記(N+M)個のスイッチをリセットするATMスイッチ制御方法。

14. ATMセルをN個の部分セルに分割し各部分

セルに同一のルーティングタグを付与するセル分割回路と、該N個の部分セルに同一の符号を付与する回路と、該N個の部分セルを前記ルーティングタグに基づき各々独立にルーティングするN個のスイッチと、ルーティング後の該M個の部分セルを受信し前記符号の一一致を検出する一致検出回路とからなるATMスイッチの制御方法であって、前記一致検出回路において、特定頻度以上の頻度で符号の不一致が検出された場合に前記(N+M)個のスイッチをリセットするATMスイッチ制御方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、情報をセル単位にスイッチングするATM交換機、又は、ATMクロスコネクトにおけるATMスイッチとその制御方法に関する。

【従来の技術】

ATMスイッチでは、ATMセルに付与されたルーティングタグに基づいてATMセルをルーティングする。

ATMセルは国際電信電話諮問委員会勧告I. 4.3.2に規定されているように、53バイトの大きさであり、スイッチ内部では、これにルーティングタグを付与して54から64バイト程度の大きさの装置内ATMセルに変換する。ATMセルの繰返し周期は150Mb/s当り125μsに約44セルである。例えば、125μsに約2800セル（150Mb/s×64本相当）を処理するATMスイッチのスイッチング容量は約1.0Gb/sとなる。従来、このような大容量のスイッチを構成する場合には、1チップのLSIに実現可能な単位スイッチを2次元状に組み合わせる。例えば、「鶴井、他：広帯域ISDN用ATMスイッチLSIの開発、1990年電子情報通信学会春季全国大会、B-443.（平成2年3月18日）」にあらわすように、1チップのLSIに150Mb/s換算で8×8の規模のスイッチを構成し、これを64チップ2次元状に組み合わせることによって、150Mb/s換算で64×64の規模のスイッチを構成する。

【発明が解決しようとする課題】

前記従来の技術のATMスイッチでは、ATM

を独立にルーティングするN個の部分セルスイッチとから構成する。

【作用】

セル分割回路では、ATMセルをN個の部分セルに分割し、各部分セルをN個の部分セルスイッチにそれぞれ送出する。各部分セルスイッチでは、複数のセル分割回路からの部分セルをルーティングする。即ち、第1の部分セルスイッチでは、各セル分割回路からの第1の部分セルをルーティングし、第2の部分セルスイッチでは、各セル分割回路からの第2の部分セルをルーティングし、以下同様に。各部分セルスイッチでは、対応する部分セルをルーティングする。

ルーティングは部分セル単位に独立に行なわれるため、1チップのLSIに実現可能なスイッチハードウェアの規模と、1チップのLSIに入出力可能な信号の容量によって制限されるのは、単位ATMスイッチのスイッチング容量ではなく、単位部分セルスイッチの容量となる。従って、ATMスイッチの全スイッチング容量は、単位部

セルに付与されたルーティングタグに基づいてセルをルーティングするため、ルーティングタグを含むATMセルは常に一体となってスイッチングされる。このため、単位ATMスイッチのスイッチング容量は1チップのLSIに実現可能なスイッチハードウェアの規模と、1チップのLSIに入出力可能な信号の容量によって制限され、より大規模化するためには、前記のように単位スイッチを2次元状に組み合わせなければならない。このため、ハードウェア規模がスイッチ容量の2乗に比例し増大するという問題がある。

本発明の目的は、スイッチ容量が大きい場合においてもハードウェア規模の小さいATMスイッチを提供することにある。

【課題を解決するための手段】

前記問題点を解決するため、本発明では、ATMスイッチを、ATMセルをN個（Nは2以上の整数）の部分セルに分割し各部分セルに同一のルーティングタグを付与するセル分割回路と、該N個の部分セルを前記ルーティングタグに基づき各

分セルスイッチの容量にセル分割数を乗じた値となるため、セル分割数を増すことによって、極めて大容量の単位ATMスイッチの構成が可能となる。

【実施例】

以下では、第1の実施例を第1図を用いて説明する。第1図に示すATMスイッチは、2.4Gb/s入ハイウェイ1～8、セル分割回路21～28、部分セルスイッチ30～37、2.4Gb/s出ハイウェイ71～78とから構成される。セル分割回路21、22、…、28は、それぞれ、ルーティングタグ付与回路210～217、220～227、…、280～287から構成される。

次に、第1の実施例の動作を説明する。2.4Gb/s入ハイウェイ1～8からは、第2図に示すような56バイト長のATMセルが、40Mb/s×64ビット並列×7行の形式で入力される。ATMセルは、8バイトのセルヘッダと48バイトのセル情報部とから構成されている。セル分割回路21～28では、40Mb/s×64ビット並列×7行の

セルを8ビット並列毎に分割し、それぞれに同一のルーチングタグを付与し、第3図に示すような形式の8個の部分セル150～157に変換する。各部分セルはそれぞれ異なる部分セルスイッチに送られる。例えば、セル分割回路21におけるルーチング付与回路210の出力の第0部分セル150は部分セルスイッチ30に、ルーチング付与回路211の出力の第1部分セル151は部分セルスイッチ31に送られる。部分セルスイッチ30では、セル分割回路21～28からそれぞれ第0部分セルを入力し、各第0部分セルのルーチングタグに基づき、第0部分セルのスイッチングを実行する。同様の方法で、部分セルスイッチ31～37では、それぞれ、第1部分セル～第7部分セルのスイッチングを行なう。一つのセルから分割された各部分セルには同一のルーチングタグが付与されているため、回路が正常に動作しているかぎり、各部分セルスイッチはすべて同様のスイッチング動作をする。従って、2.4Gb/s出ハイウェイには、一つのセルから分割された各部分

セルが同時に出力される。

次に、第2の実施例を第4図を用いて説明する。第4図に示すATMスイッチは、2.4Gb/s入ハイウェイ1～8、エラー訂正符号符号化回路11～18、セル分割回路21～28、部分セルスイッチ30～39、エラー訂正符号復号回路51～58、エラーカウンタ61～68、2.4Gb/s出ハイウェイ71～78とから構成される。セル分割回路21、22、…、28は、それぞれ、ルーチングタグ付与回路210～219、220～229、…、280～289から構成される。

次に、第2の実施例の動作を説明する。2.4Gb/s入ハイウェイ1～8からは、第2図に示す56バイト長のATMセルが、40Mb/s×64ビット並列×7行の形式で入力される。エラー訂正符号符号化回路11～18では、同時に到着する64ビットを、ガロア体GF(2⁸)の上の1バイトエラー訂正リードソロモン符号を用いてエラー訂正符号化する。エラー訂正符号は、生成多項式、

$$G(X) = (X + \alpha)(X + \alpha^7)$$

で生成される短縮化リードソロモン符号であり、符号長は10バイト、情報記号数は8バイト、検査記号数は2バイト、最小距離は3バイトである。ここで、 α はGF(2⁸)の原始元である。エラー訂正符号符号化回路11～18では、この生成多項式に基づき2バイトの検査記号を発生させ、ハイウェイのセルを40Mb/s×80ビット並列×7行の形式にし、セル分割回路21～28に送る。セル分割回路21～28では、40Mb/s×80ビット並列×7行のセルを8ビット並列毎に分割し、それぞれに同一のルーチングタグを付与し、第5図に示すような形式の10個の部分セル160～169に変換する。第0部分セル160～第7部分セル167は、ATMセルを分割したものにルーチングタグを付加したものであり、第8部分セル168～第9部分セル169はエラー訂正符号の検査記号にルーチングタグを付加したものである。各部分セルはそれぞれ異なる部分セルスイッチに送られる。例えば、セル分割回路21におけるルーチング付与回路210の出力の第0部分セ

ル160は部分セルスイッチ30に、ルーチング付与回路211の出力の第1部分セル161は部分セルスイッチ31に送られる。部分セルスイッチ30では、セル分割回路21～28からそれぞれ第0部分セルを入力し、各第0部分セルのルーチングタグに基づき、第0部分セルのスイッチングを実行し、出力先のハイウェイに対応するエラー訂正符号復号回路に第0部分セルを送出する。同様の方法で、部分セルスイッチ31～39では、それぞれ、第1部分セル～第9部分セルのスイッチングを行なう。一つのセルから分割された各部分セルには同一のルーチングタグが付与されているため、回路が正常に動作しているかぎり、各部分セルスイッチはすべて同様のスイッチング動作をする。従って、エラー訂正符号復号回路には、一つのセルから分割された各部分セルが同時に到着する。エラー訂正符号復号回路51では、部分セルスイッチ30～39からそれぞれ第0部分セル～第9部分セルを入力し、40Mb/s×80ビット並列×7行の形式のセルを再生し、各行毎にリ

ードソロモン符号の1バイトエラー訂正復号を行なう。全ての部分セルスイッチが正常に動作しているかぎりは、一つのセルから分割された各部分セルが同時に入力され、エラーも発生しないため、実際にはエラー訂正是行なわれない。しかし、例えば、一つのセルから分割された10個の部分セルのいずれか1個のルーティングタグにエラーが生じた場合、他の9個の部分セルが正しくエラー訂正復号回路51に到着しているにもかかわらず、エラーが生じた部分セルのみ正しくルーティングされずに正しいエラー訂正復号回路に正しい時刻に到着しない可能性がある。本実施例のエラー訂正符号は1バイトエラーを訂正する能力を持っているため、この場合、エラー訂正符号の復号により、9個の正しい部分セルから到着しなかった1個の部分セルの内容が復元される。部分セルスイッチ30～39は、部分セル衝突時に部分セルを一時蓄積するためにファーストイン・ファーストアウト・バッファを持っている。このため、一旦、ルーティングタグのエラーに伴う誤動作

が起きると、誤動作を起こした部分セルスイッチのファーストイン・ファーストアウト・バッファ内の待ち行列の部分セルの順序が他の部分セルスイッチの待ち行列の部分セルの順序と異なることがある。待ち行列の部分セルの順序が他と異なると、その後連続して、該当の部分セルのエラー訂正復号回路51への到着時刻が他の部分セルの到着時刻と異なるようになる。エラー訂正復号回路51は、正しく到着する9個の部分セルを利用して正しく到着しない1個の部分セルの内容を1バイトエラー訂正によって復元し続ける。部分セルスイッチのファーストイン・ファーストアウト・バッファ内の待ち行列の部分セルの順序の相違は、ファーストイン・ファーストアウト・バッファ内の待ち行列の長さが0になったときに解消する。しかし、待ち行列の長さが0にならずに待ち行列の部分セルの順序の相違が長時間続いた場合のことを想定して、エラーカウンタ61では、単位時間当たりのエラー訂正回数を計数し、これが特定値以上になる状態が特定時間連続する場合に

は部分セルスイッチの待ち行列をリセットする。部分セルスイッチが出ハイウェイ対応にバッファを持つ形式のものであれば対応する出ハイウェイのバッファのみをリセットする。エラー訂正復号回路52～58及びエラーカウンタ62～68の動作も、以上説明したエラー訂正復号回路51及びエラーカウンタ61の動作と同様である。

第2の実施例では、エラー訂正符号を用いて部分セルスイッチの誤動作に伴うエラーの伝播を防いでいるため、部分セルスイッチの誤動作時にもATMセルの廃棄が起こりにくいという効果がある。

次に、第3の実施例を第6図を用いて説明する。第6図に示すATMスイッチは、2.4Gb/s入ハイウェイ1～8、パリティ付加回路81～88、セル分割回路21～28、部分セルスイッチ30～38、パリティチェック回路101～108、エラーカウンタ61～68、2.4Gb/s出ハイウェイ71～78とから構成される。セル分割回路21、22、…、28は、それぞれ、ルーティングタグ付

与回路210～218、220～228、…、280～288から構成される。

次に、第3の実施例の動作を説明する。2.4Gb/s入ハイウェイ1～8からは、第2図に示す56バイト長のATMセルが、40Mb/s×64ビット並列×7行の形式で入力される。パリティ付加回路81～88では、同時に到着する64ビットに対し、8ビットのパリティビットを並列方向に付加する。パリティバイトの第nビット(n=1～8)は、ATMセルの対応する行の各バイトの第nビットに対する奇パリティである。セル分割回路21～28では、奇パリティを付加した40Mb/s×72ビット並列×7行のセルを8ビット並列毎に分割し、それぞれに同一のルーティングタグを付与し、第7図に示すような形式の9個の部分セル170～178に変換する。第0部分セル170～第7部分セル177は、ATMセルを分割したもののルーティングタグを付加したものであり、第8部分セル178はパリティバイトにルーティングタグを付加したものである。第1、第2の

実施例と同様に、各部分セルはそれぞれ異なる部分セルスイッチに送られ、部分セルスイッチ30～38では、それぞれ、第0部分セル～第8部分セルのスイッチングを行ない、部分セルをパリティチェック回路101～108に送る。一つのセルから分割された各部分セルには同一のルーティングタグが付与されているため、全ての部分セルスイッチが正常に動作しているかぎりは、一つのセルから分割された各部分セルが同時にパリティチェック回路101に入力される。しかし、第2の実施例で述べたように、部分セルスイッチの誤動作を想定して、エラーカウンタ61では、パリティチェック回路101での単位時間当りのエラー検出回数を計数し、これが特定値以上になる状態が特定時間連続する場合には部分セルスイッチの待ち行列をリセットする。部分セルスイッチが出ハイウェイに対応するバッファを持つ形式のものであれば対応する出ハイウェイのバッファのみをリセットする。パリティチェック回路102～108及びエラーカウンタ62～68の動作も、以上説

41～48では、40Mb/s×64ビット並列×7行のセルを8ビット並列毎に分割し、それぞれに同一のルーティングタグ及び順序番号を付与し、第9図に示すような形式の8個の部分セル180～187に変換する。順序番号は送出セル毎に、0から255まで、256セル周期でサイクリックに増加するように付与する。第1～第3の実施例と同様に、各部分セルはそれぞれ異なる部分セルスイッチに送られ、部分セルスイッチ30～37では、それぞれ、第0部分セル～第7部分セルのスイッチングを行ない、順序番号チェック回路131～138に送る。順序番号チェック回路131では、同時に到着した各部分セルの順序番号が等しいか否かをチェックする。一つのセルから分割された各部分セルには同一のルーティングタグが付与されているため、全ての部分セルスイッチが正常に動作しているかぎりは、一つのセルから分割された各部分セルが同時に順序番号チェック回路131に入力され、順序番号は互いに等しい。しかし、第2の実施例で述べたように、部分

明したパリティチェック回路101及びエラーカウンタ61の動作と同様である。

第3の実施例では、パリティを用いて部分セルスイッチの誤動作を検出しているため、部分セルスイッチの誤動作時にも速やかな復帰が可能である。

次に、第4の実施例を第8図を用いて説明する。第8図に示すATMスイッチは、2.4Gb/s入ハイウェイ1～8、セル分割回路41～48、部分セルスイッチ30～37、順序番号チェック回路131～138、エラーカウンタ61～68、2.4Gb/s出ハイウェイ71～78とから構成される。セル分割回路21、22、…、28は、それぞれ、ルーティングタグ/順序番号付与回路310～318、320～328、…、380～388から構成される。

次に、第4の実施例の動作を説明する。2.4Gb/s入ハイウェイ1～8からは、第2図に示す56バイト長のATMセルが、40Mb/s×64ビット並列×7行の形式で入力される。セル分割回路

セルスイッチの誤動作を想定して、エラーカウンタ61では、順序番号チェック回路131での単位時間当りの順序番号の不一致回数を計数し、これが特定値以上になる状態が特定時間連続する場合には部分セルスイッチの待ち行列をリセットする。部分セルスイッチが出ハイウェイに対応するバッファを持つ形式のものであれば対応する出ハイウェイのバッファのみをリセットする。順序番号チェック回路132～138及びエラーカウンタ62～68の動作も、以上説明した順序番号チェック回路131及びエラーカウンタ61の動作と同様である。

第4の実施例では、順序番号を用いて部分セルスイッチの誤動作を検出しているため、部分セルスイッチの誤動作時にも速やかな復帰が可能である。

【発明の効果】

一般に、大容量スイッチのハードウェア規模は信号転送容量の2乗に比例して増大する。本発明のATMスイッチでは、セルを部分セルに分割し

て独立にルーティングするようにしているため、部分セルをルーティングする個々のスイッチの信号転送容量は全スイッチ容量をセルの分割数で割った値となる。従って、1個の部分セルスイッチのハードウェア規模は、セル分割を行なわないスイッチのハードウェア規模の約 $(1 / \text{分割数})$ 倍となるため、本発明のATMスイッチの全ハードウェア規模は、セル分割を行なわないスイッチのハードウェア規模の約 $(1 / \text{分割数})$ 倍となる。このように、本発明によれば、スイッチ容量が大きい場合においても、小さいハードウェア規模でATMスイッチを構成することができる。

4. 図面の簡単な説明

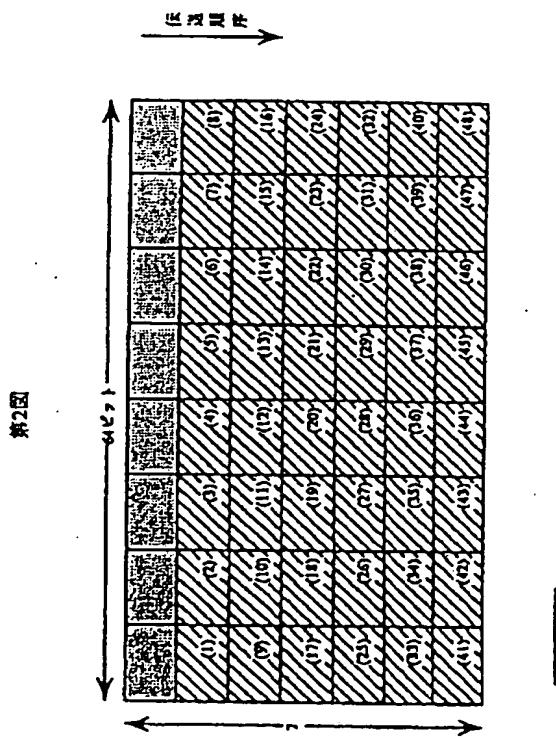
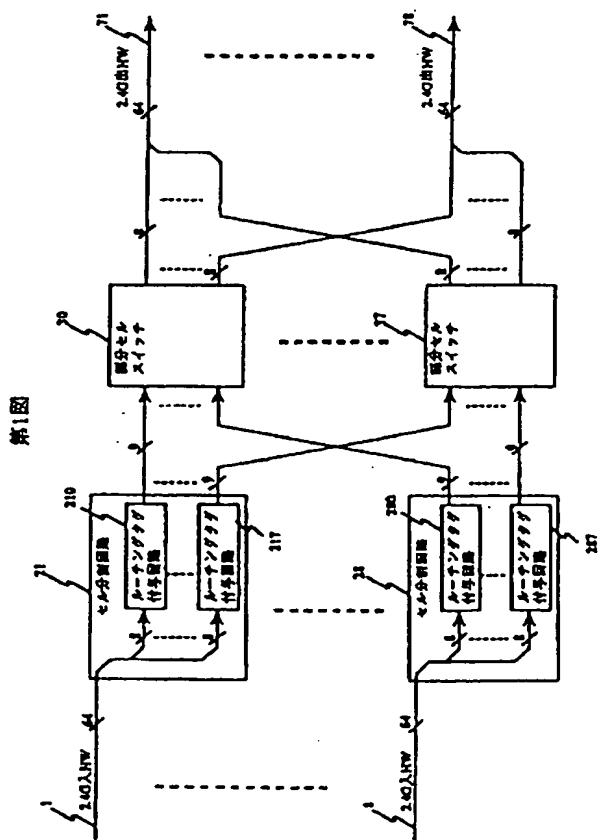
第1図は本発明の第1の実施例のブロック構成図、第2図は本発明の実施例で用いるATMセルの構成図、第3図は本発明の第1の実施例で用いる部分セルの構成図、第4図は本発明の第2の実施例のブロック構成図、第5図は本発明の第2の実施例で用いる部分セルの構成図、第6図は本発明の第3の実施例のブロック構成図、第7図は本

発明の第3の実施例で用いる部分セルの構成図、第8図は本発明の第4の実施例のブロック構成図、第9図は本発明の第4の実施例で用いる部分セルの構成図である。

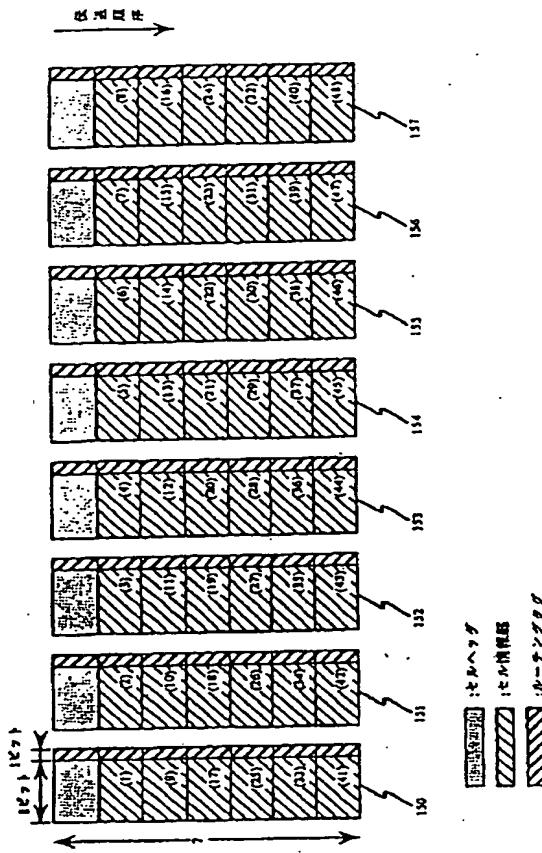
符号の説明

- 1～8 … 2.4Gb/s入ハイウェイ
- 21～28 … セル分割回路
- 30～39 … 部分セルスイッチ
- 71～78 … 2.4Gb/s出ハイウェイ
- 210～289 … ルーティングタグ付与回路
- 11～18 … エラー訂正符号符号化回路
- 51～58 … エラー訂正符号復号回路
- 61～68 … エラーカウンタ
- 81～88 … バリティ付加回路
- 101～108 … バリティチェック回路
- 41～48 … セル分割回路
- 131～138 … 順序番号チェック回路
- 310～388 … ルーティングタグ/順序番号付与回路。

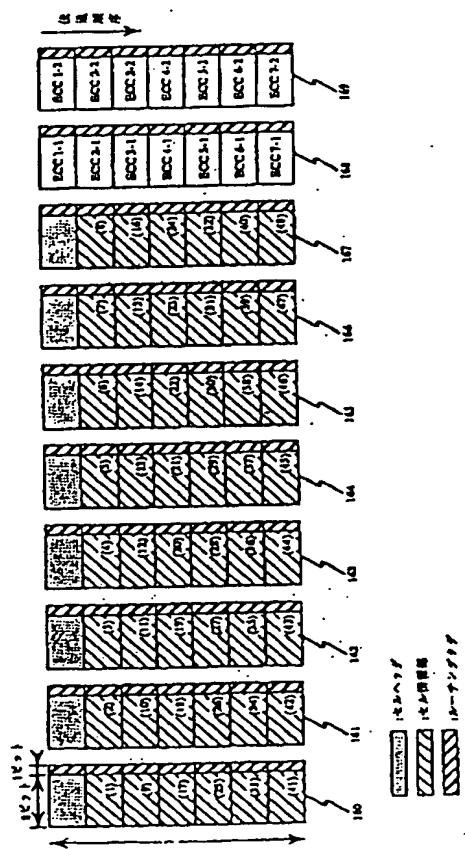
代理人 弁理士 小川勝男



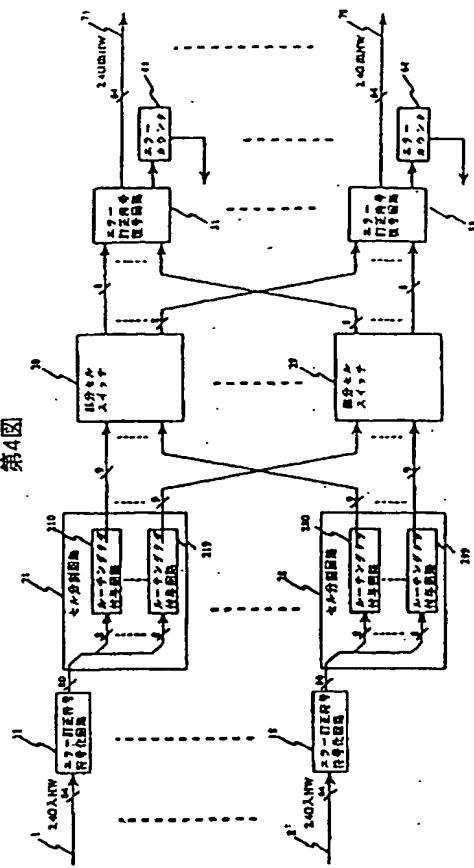
第3図



第4図



第4図



第6図

